

Kompleksprojekt aines
Elektronsüsteemid LEM5050

Teemal:
Skeemianalüüsi programm SPICE
erinevate realisatsioonide võrdlus.

Teostaja: Rait Rand

a960737

Juhendaja: Rein Sabolotny

Sisukord:

Sisukord.....	1
Sissejuhatus..	2
Mudelite Bsim3v3, Fab1, Fab2 ning Level2 selgitused.....	3
Simuleerimine programmiga TopSPICE Win32.....	3
Simuleerimine programmiga ICAP/4 Windows demo versioon.....	8
Simuleerimine programmiga Silvaco Smartspice MT 1.5.15.R ICAP/4.....	8
Kokkuvõte	12
Abstract.....	13
Kasutatud kirjandus.....	14

Lisad

Sissejuhatus

Koondprojekti teemast lähtuvalt on antud projekti ülesanne anda ülevaade skeemianalüüsi programmi SPICE erinevate realisatsioonide võrdlusest.

Uuritavate objektidena kasutasin programme TopSPICE Win32 Demo versioon, ICAP_4 Win Demo versioon ja programmi Silvaco Smartspice MT 1.5.15.R. Mainitud demoversioonid sain Internetist vastavate programmi tootjate kodulehekülgedelt ning programmi Silvaco Smartspice MT 1.5.15.R sain kasutamiseks juhendajalt, Rein Sabolotny'lt.

Antud projekti teise ülesandena püüdsin välja selgitada vaadeldavate demoprogrammide võimalusi ja piiranguid, pmos ja nmos transistoridest koosneva skeemi testsimuleerimise abil.

Käesoleva projekti kolmanda ülesandena püüdsin selgitada antud programmide vastuvõtlikkust ja arusaamist tekstipõhistest simuleerimise käskudest ehk nii nimetatud netlistist, ning lisades netlisti ka vastavalt mudelid Bsim3v3, Fab1, Fab2 ja Level1 vaadelda programmide käitumist ja reaktsiooni vastavate mudelitega simuleerimisele.

Kahjuks puudub minul kogemus töötada analoogsete programmide täisversioonidega ja seega järelduste tegemisel lähtusin testitavate programmide võimaluste hulga vaatlemisest, seetõttu püüan võimalikult vähe klassifitseerida testitavaid programme headeks või halbadeks, sest olenevalt ülesande iseloomust ei pruugi olla hea programm selline, millel on kõige rohkem erinevaid võimalusi, vaid programm, kus soovitud ülesande saab kõige paremini lahendada lähtudes näiteks antud algandmetest või soovitud tulemuste täpsusklass on teostatava ülesande jaoks sobivaim.

Mudelite Bsim3v3, Fab1, Fab2 ning Level2 selgitused

Mudelid Bsim3v3 (*Lisad lk. 1 punkt 1*), Fab1 (*Lisad lk. 2 punkt 2*) ja Fab2 (*Lisad lk. 4 punkt 3*) on kõik BSIM3 mudelid ja erinevad mudelist Level2 (*Lisad lk. 4 punkt 4*) peaaegu kõigis parameetrites. Ühist on BSIM3 mudelitel, ning Level2 mudelil vaid see, et nii BSIM3, kui ka Level2 mudelid kirjeldavad MOS transistore.

Võrreldes Level2 mudeliga on BSIM3 mudel uuem ja täpsem (eriti lühikese kanaliga seadiste korral), võrreldes Level2 mudeliga. BSIM3 mudeliga simuleerimine nõuab aga rohkem arvutusaega.

Antud töös kasutusel olev Level2 mudel on ühe ränitootja Level2 mudeli parameetrite komplekt.

Alljärgnevalt ka kasutamist leidev mudel Bsim3v3 mudel on tüüpiline parameetrite komplekt mida Berkley ülikool annab näidisenähtena kaasa BSIM3 mudeli kasutamiseks.

Fab1 ja Fab2 on kahe ränitootja BSIM3 mudelite parameetrite komplektid. Mudel Fab1 on mudelist Fab2 selles mõttes lihtsam, et antud parameetrite komplekt kehtib kõikidele lubatud transistoride mõõtmetele. Mudel Fab2 seevastu kasutab nn "binded" parameetrite komplekte, mis tähendab, et erineva pikkuse ja laiusega kanaliga transistoridele kehtivad erinevad parameetrite komplektid. Seetõttu on ka mudel Fab2 liiga mahukas, et teda käesolevasse projekti lisada. Seega, kui meil mudeli nimeks on näiteks MOS, siis Spice ise valib vastavalt kanali mõõtmetele parameetrid sobivast vahemikust (WMIN, WMAX, LMIN, LMAX), mis on nimetatud stiilis MOS.1, MOS.2, MOS.3 jne.

Simuleerimine programmiga TopSPICE Win32

Esimeseks testsimuleerimiseks võetud programmiks oli mul TopSPICE Win32 Demo versioon. Esmalt püüdsin simuleerida antud skeemi kasutades tekstipõhist simuleerimist ehk püüdes käivitada antud alljärgnevat netlisti.

```
.global VDD
.global VSS
.subckt otalia bias INN INP OUT PD PDN
MM1 N2 INN N1 N1 PMOS L=10U W=100U AD=280p AS=280p PD=204.8u
+ PS=204.8u
MM2 N3 INP N1 N1 PMOS L=10U W=100U AD=280p AS=280p PD=204.8u
+ PS=204.8u
MM3 N1 bias VDD VDD PMOS L=10U W=12U AD=33.6p AS=33.6p
PD=29.6u
+ PS=29.6u
MM4 OUT bias VDD VDD PMOS L=5U W=60U AD=168p AS=168p PD=125.6u
+ PS=125.6u
MM5 bias bias VDD VDD PMOS L=10U W=8U AD=33.6p AS=33.6p
PD=29.6u
+ PS=29.6u
```

```

MM6 N3 VSS N5 VDD PMOS L=10U W=9U AD=25.2p AS=25.2p PD=23.6u
PS=23.6u
MM7 N3 N2 VSS VSS NMOS L=10U W=12U AD=33.6p AS=33.6p PD=29.6u
+ PS=29.6u
MM8 N2 N2 VSS VSS NMOS L=10U W=12U AD=33.6p AS=33.6p PD=29.6u
+ PS=29.6u
MM9 OUT N3 VSS VSS NMOS L=5U W=120U AD=33.6p AS=33.6p
PD=254.6u
+ PS=254.6u
MM10 N5 VDD N3 VSS NMOS L=20U W=6U AD=16.8p AS=16.8p PD=17.6u
+ PS=17.6u
CC1 N5 OUT caedpc 1.2p
MM11 bias PDN VDD VDD PMOS L=4U W=3U AD=8.4p AS=8.4p PD=11.6u
+ PS=11.6u
MM12 N3 PD VSS VSS NMOS L=4U W=3U AD=8.4p AS=8.4p PD=11.6u
PS=11.6u
CC2 N5 OUT caedpc 1.2p
.ENDS
Xotalial BIAS AGND AGNDI AGND PD PDN otalia
.inc C:/TTY/Kompleksprojekt/Bsim3v3.1
.MODEL caedpc CAP
.end

```

Graafiliselt näeb skeem välja järgmine: *Lisad lk. 8 punkt 10*

Kuna TopSPICE Win32 andis simuleerimise käsu peale hoiatuse, et liiga palju elemente demo versiooni jaoks, siis eemaldasin skeemist transistorid M11 ja M12, ning M10 ja M6, peale mida nägi netlist välja järgmine

```

.MODEL caedpc CAP
.global VDD
.global VSS
.subckt otalia bias INN INP OUT
MM1 N2 INN N1 N1 PMOS L=10U W=100U AD=280p AS=280p PD=204.8u
+ PS=204.8u
MM2 N3 INP N1 N1 PMOS L=10U W=100U AD=280p AS=280p PD=204.8u
+ PS=204.8u
MM3 N1 bias VDD VDD PMOS L=10U W=12U AD=33.6p AS=33.6p
PD=29.6u
+ PS=29.6u
MM4 OUT bias VDD VDD PMOS L=5U W=60U AD=168p AS=168p PD=125.6u
+ PS=125.6u
MM5 bias bias VDD VDD PMOS L=10U W=8U AD=33.6p AS=33.6p
PD=29.6u
+ PS=29.6u
MM7 N3 N2 VSS VSS NMOS L=10U W=12U AD=33.6p AS=33.6p PD=29.6u
+ PS=29.6u
MM8 N2 N2 VSS VSS NMOS L=10U W=12U AD=33.6p AS=33.6p PD=29.6u
+ PS=29.6u
MM9 OUT N3 VSS VSS NMOS L=5U W=120U AD=33.6p AS=33.6p
PD=254.6u
+ PS=254.6u
CC1 N3 OUT 1.2p
CC2 N3 OUT 1.2p
.ENDS

```

```
Xotalial BIAS AGND AGNDI AGND otaalia
.inc C:/TTY/Kompleksprojekt/Bsim3v3.1
.MODEL caedpc CAP
.end
```

Juhiksin tähelepanu muutustele, mille tekitasin netlistis transistori MM3 ja kondensaatoreid C2 ja C1 kirjeldavatel ridadel.

C2 ja C1 ridasi muutsin ka, sest testitav programm ei tundnud ära mahtuvuse mudelit. Vaatamata tehtud muudatustele ei alustanud programm simuleerimist ja otsustasin valida simuleerimiseks mõne teise näite, mida püüdsin simuleerida kasutades PMOS'i ja NMOS'i mudeliteks minule testimiseks antud mudeleid (Bsim3v3, Fab1, Fab2 ja Level2) mida on võimalik näha lisades (vastavalt *Lisad lk 1 punkt 1, lk 2 punkt 2, lk 4 punkt 3 ja lk 4 punkt 4*). Graafiliselt näeb uus testitav skeem välja järgmine (*lisad lk.6 punkt 8*) ja netlist alljärgnev:

```
BSIM3 MOSFET MODEL OPERATIONAL AMPLIFIER
#REVISION: Rev: 4
.INC C:/TTY/Kompleksprojekt/Bsim3v3.1
Vin IN 0 0 AC 0.1
E1 in2 0 IN 0 -1
M1 bias1 IN cm cm NMOS W=10u L=1u
M2 bias2 in2 cm cm NMOS W=10u L=1u
M3 bias1 bias1 VDD VDD PMOS W=2u L=1u
M4 bias2 bias1 VDD VDD PMOS W=2u L=1u
M5 cm bias VSS VSS NMOS W=2u L=1u
M6 OUT bias VSS VSS NMOS W=2u L=1u
M7 VDD bias2 OUT OUT NMOS W=2u L=1u
M8 bias bias VSS VSS NMOS W=2u L=1u
R1 0 bias 195K
CFB bias2 OUT 2pF
* Power rail voltage sources
VDD VDD 0 5V
VSS VSS 0 -5V
.INC C:/Koplproj/TW32demo/Examples/b3OpAmp.CMD
.END
```

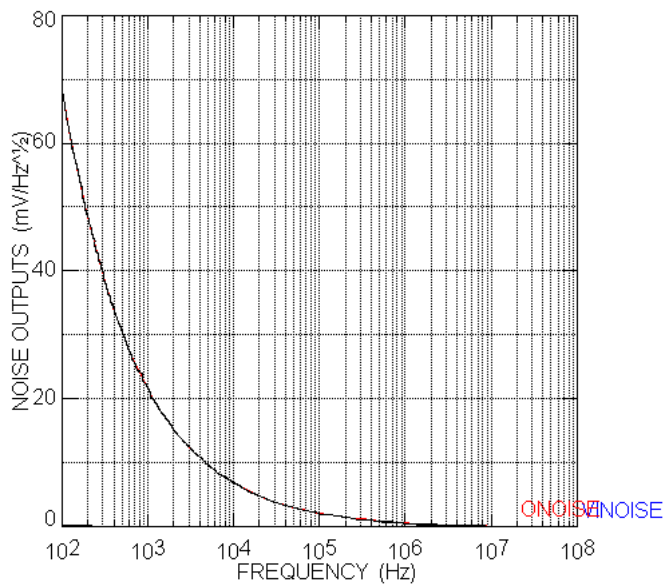
Selles netlistis rida `.INC C:/TTY/Kompleksprojekt/Bsim3v3.1` kirjeldab minu poolt katsetatava mudeli asukohta C kettal. Ning käsuriada `.INC C:/Koplproj/TW32demo/Examples/b3OpAmp.CMD` näitab analüüsiks vajalikke käskke, mis on täielikult nähtavad ka netlistis (*Lisad lk 5 punkt 5*)

Antud mudeliga Bsim3v3 õnnestus simuleerimine.

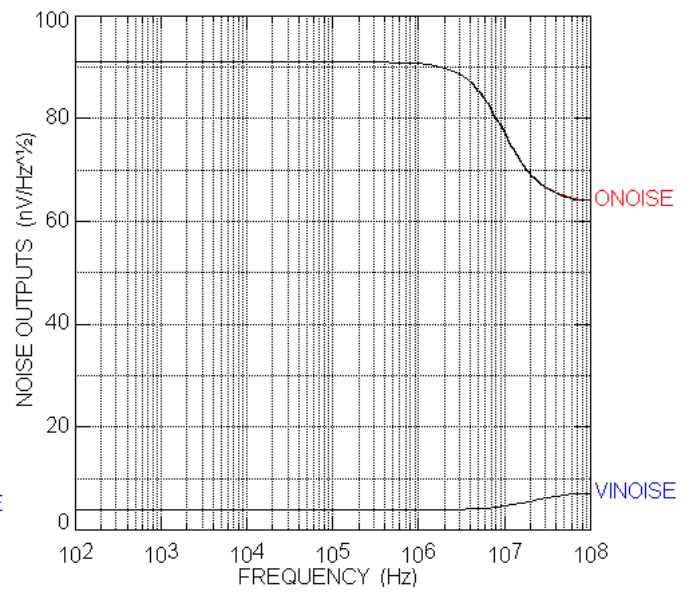
Ka mudeliga Fab1 õnnestus simuleerimine.

Mudeliga Fab2 ei õnnestunud simuleerimist käivitada, sest programmi simuleerimise käskud ei tundnud mudelis ära talle vajalikke parameetreid.

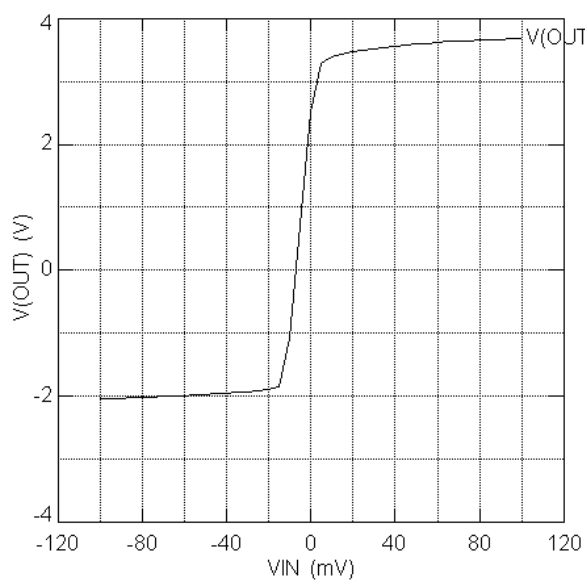
Mudeliga Level2 õnnestus simuleerimine, aga saadud graafikud olid oluliselt erinevamad, kui Bsim3v3 ja Fab1 graafikud. Visualiseerivaks näiteks toon välja Bsim3v3 (Graafik nr. 1) ja Level2 (Graafik nr. 2) mudeli NOISE analüüsi graafikud, AC Sweep analüüsi graafikud vastavalt Bsim3v3 (Graafik nr. 3) ja Level2 (Graafik nr. 4) ning DC Sweep analüüsi graafikud Bsim3v3 (Graafik nr. 5) ja Level2 (Graafik nr. 6):



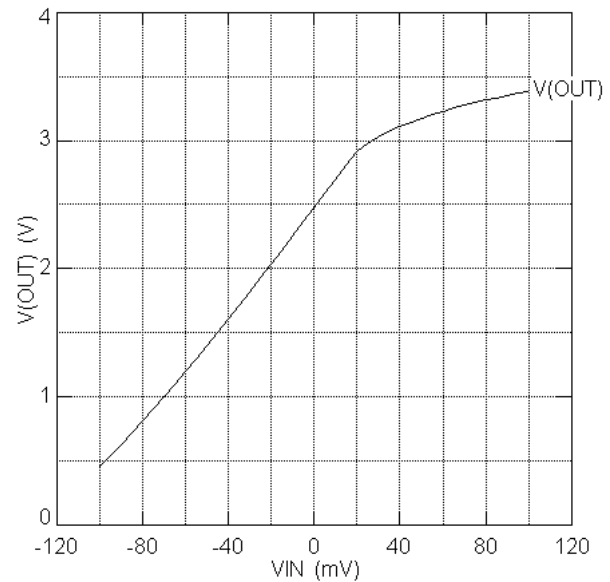
Graafik nr. 1



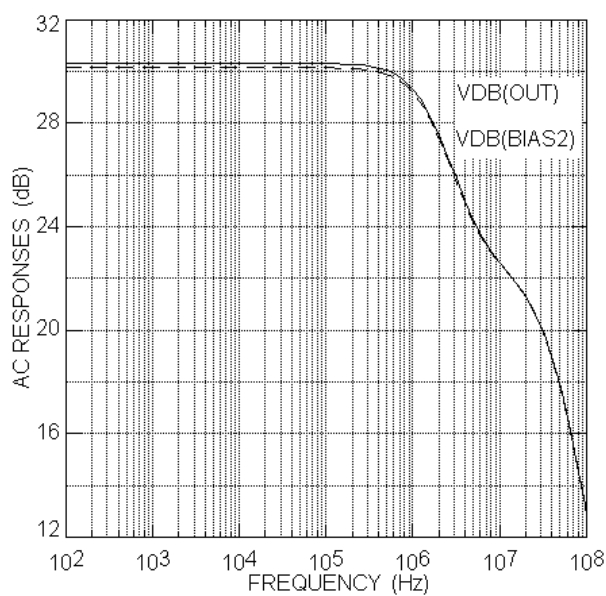
Graafik nr. 2



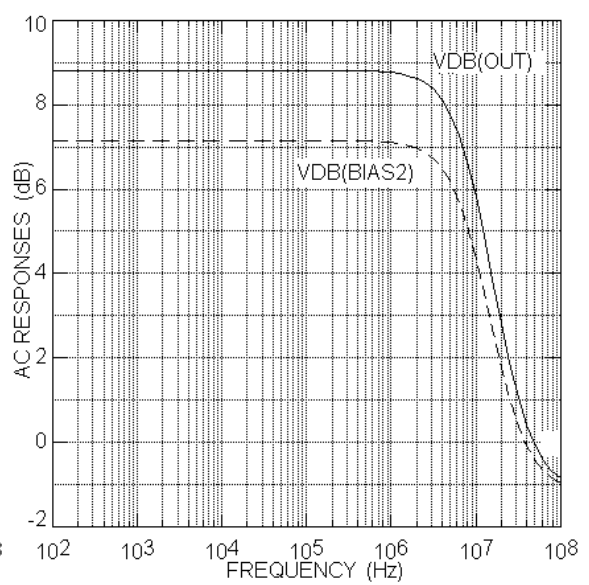
Graafik nr. 3



Graafik nr. 4



Graafik nr. 5



Graafik nr. 6

Selgituseks antud analüüsidele võin ütelda, et DC analüüs on staatika analüüs. Sellega on võimalik uurida skeemi tööpunkti olukorras kui mahtuvused on eemaldatud ja induktiivsused lühistatud.

AC analüüs on nõrgasignaali analüüs mis tehakse mingis teatud DC punktis ja võimaldab määrata skeemi nõrgasignaali parameetrid (ülekanneid, näiteks) sõltuvana sagedusest selles tööpunktis.

Noise analüüs on müra analüüs. Nõrgasignaali mudelile (AC) lisatakse mürageneraatorid ning analüüsi abil on võimalik määrata skeemi müraparameetrid sõltuvana sagedusest või integreeritult teatud sagedusvahemikus.

Nagu graafikutelt 1;2;3;4;5 ja 6 veenduda võite on tõepoolest erinevused ka silmaga nähtavad. Käesoleva töö eesmärk ei ole aga analüüsida esile tulnud erinevusi.

Skeemiredaktori poole pealt ei ole võimalik transistoridel määrata kanali laiuse ega pikkusi, vaid need tuleb lisada netlisti, kuigi saab ka seal graafilise skeemieditoris näiteks transistori peal kaks korda hiirega klikkides lahtri, kuhu saab kirjutada vajalikud netlisti lisatavad kirjeldused transistori kohta. Programm kirjutab ka netlisti graafilise skeemi põhjal, mida saab pidevalt jälgida, lisades graafiliselt elemente juurde. Selline võimalus oli väga hea netlistist arusaamiseks, mida mina ka agarasti kasutasin.

Tooksin veel siinkohal välja TopSPICE koduleheküljelt võetud TopSPICE demo versiooni piirangute nimekirja:

Skeemieditori piirang	maksimaalne skeemiosade arv 36 mitmelehelised skeemid pole lubatud sümbolite kasutamine või alamlülituste mudeliteks salvestamine pole lubatud.
Simulatsiooni piirangud	sõlmede maksimaalne arv on 30 Maksimaalne transistoride arv on 10 Kogu komponentide maksimaalne arv on 50.
Graafikute piirangud	maksimaalne karakteristikute arv 16 maksimaalselt 16K punkti ühel karakteristikul
Demoversiooni mudelite kataloogis on ainult lülituste mudelid, mida läheb vaja näidisfailide simuleerimiseks.	

Simuleerimine programmiga ICAP/4 Windows demo versioon

Alustasin simuleerimist netlistist mis minule simuleerimiseks anti (*Lisad lk.7 punkt 9*) mille peale, aga programm ilma igasuguseid hoiatusi andmata kinni jooksis. Proovisin vähemate elementidega sama netlisti käivitada, aga programm kordas oma eelnevat käitumist. Kasutasin mudeliteks nii Bsim3v3, Fab1, Fab2 kui ka Level2 mudelit, aga analüüside saamiseni ei õnnestunud jõuda.

Püüdsin simuleerida ka kasutades sama netlisti, millega õnnestus simuleerimine programmiga TopSPICE. Antud netlist on toodud ka välja *Lisades lk 5 punkt 5*.

Kuna programm ei tundnud ära mudelis Bsim3v3 olevaid parameetreid, ning andis hoiatusi, mis on toodud välja *Lisades lk. 5 punkt 6*.

Samamoodi käitus programm ka mudeliga Fab2.

Kasutades mudelit Fab1, andis programm küll veateated, aga nendest saab järeldada, et programm tundis küll ära mudeli parameetrid, aga leidis vea kusagilt mujalt, veateated on toodud välja ka *Lisad lk. 6 punkt 7*.

Mudeli Level2 puhul mudelit puudutavaid veateateid ei esinenud, ning õnnestus saada kätte ka DC analüüsi graafik.

Lisaks võib ütelda, et ICAP-is on väga tõhus help, näiteks isegi suvalisel netlisti real asetsetes ja F1 vajutades on võimalik saada antud real asetseva käsu kohta selgitusi ja ka näiteid.

Skeemiredaktori poole pealt võib ütelda, et menüüd on pisut operatiivsemad, kui programmis TopSpice, näiteks saab komponentide menüüst valida eraldi passiivseid ja aktiivseid elemente. Samuti positiivne on, et komponenti valides näeb menüüst ka komponendi graafilist sümbolit.

ICAP demo versiooni piirangute nimekiri (saadud ICAP'si koduleheküljelt):

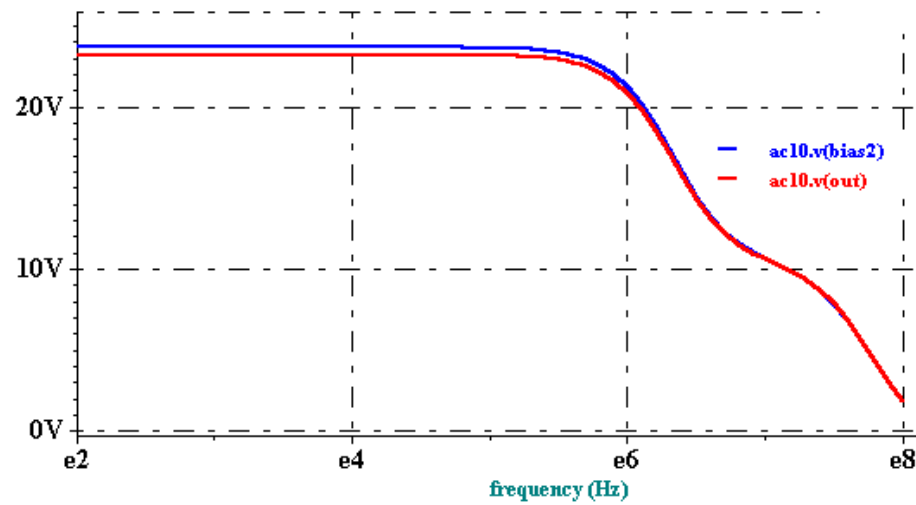
ICAP demo versioon erineb täisversioonist vaid selle poolest, et temaga saab simuleerida vaid 20 elemendist koosnevaid skeeme.

Simuleerimine programmiga Silvaco Smartspice MT 1.5.15.R ICAP/4

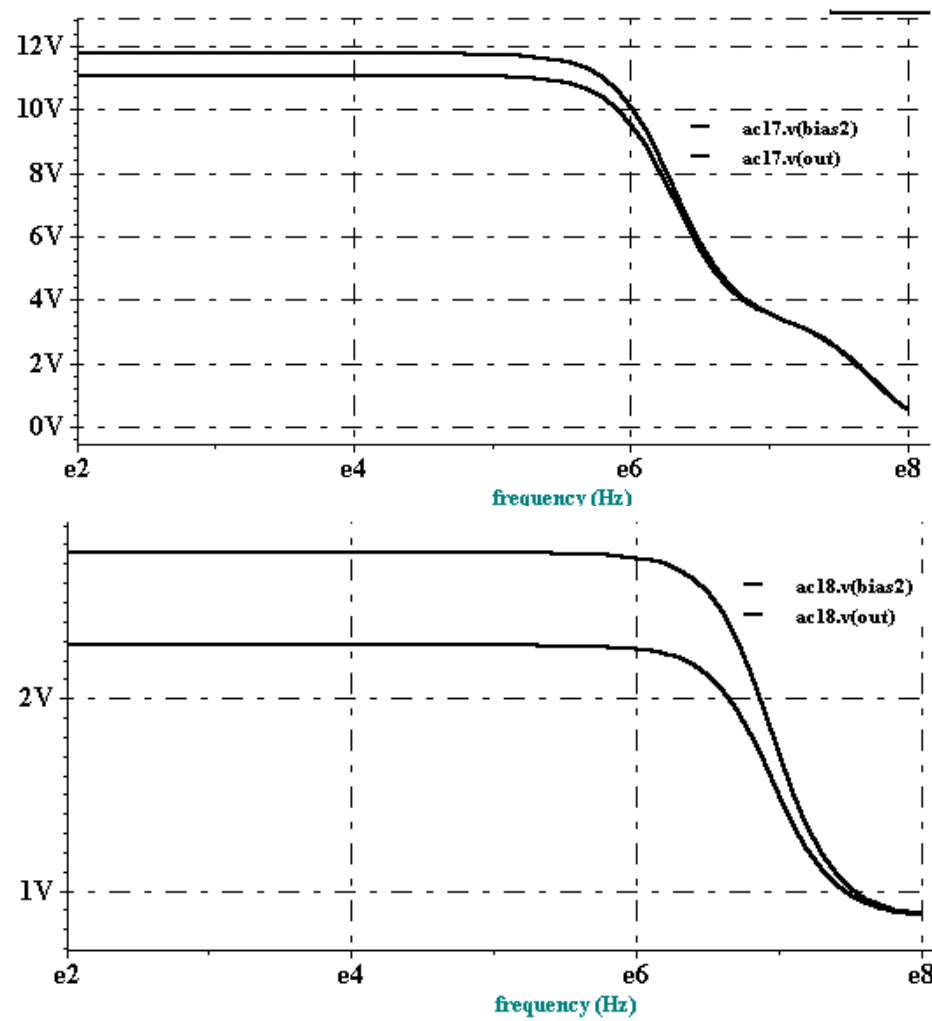
Simuleerimist alustasin mudeliga Bsim3v3 ja netlistiga *Lisades lk 5 punkt 5*, millesse viisin sisse ka pisikesed muudatused, et Smartspice teda respektseeriks, näiteks ei tundnud programm ära rida #REVISION: Rev: 4 , ning eemaldas antud käsurea, peale mida programm alustas ka simuleerimist, ning väljastas ka AC ning DC analüüsi graafikud.

Saadud Bsim3v3 ja Fab1 mudelitega saadud graafikud ei erinenud kujult teineteisest, erinevused esinesid vaid graafikul olevates suurustes, näiteks Bsim3v3 mudeliga saadud AC analüüsi graafik (Graafik nr. 7) algab 23-24 V pealt, aga Fab1 saadud graafik (Graafik nr. 8) algab 11-12 V pealt.

Seevastu Level2 mudeliga simuleeritud AC graafik (Graafik nr. 9) erines Bsim3v3 ja Fab1 AC analüüsi graafikutest nii kuju, kui ka suuruste poolest.

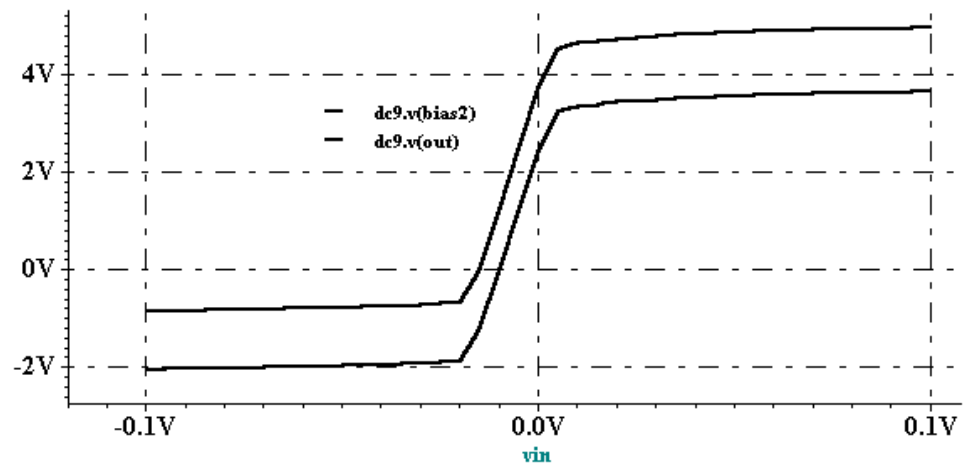


Graafik nr. 7

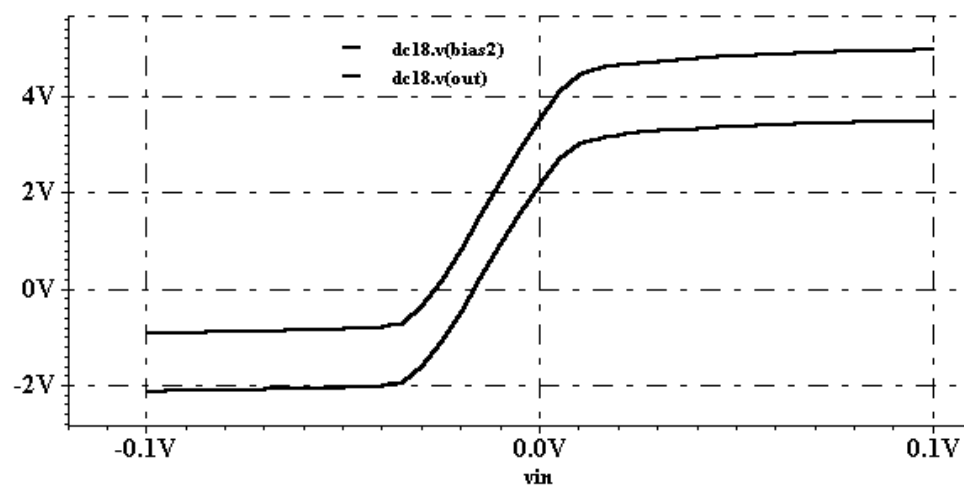


Graafik nr. 9

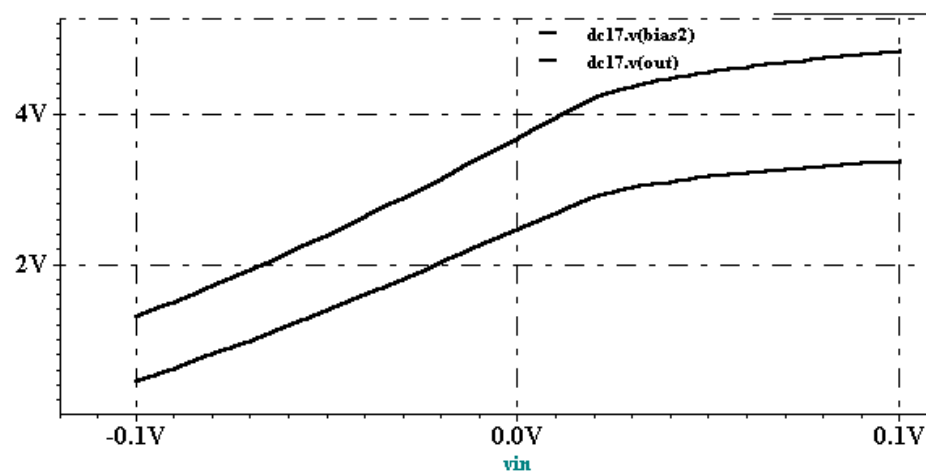
Analoogsed erinevused esinesid ka DC analüüsiga saadud graafikude puhul. Vastavalt Bsim3v3 mudelit kasutades (Graafik nr. 10), Fab1 mudelit kasutades (Graafik nr. 11) ning Level2 mudelit kasutades (Graafik nr. 12).



Graafik nr. 10

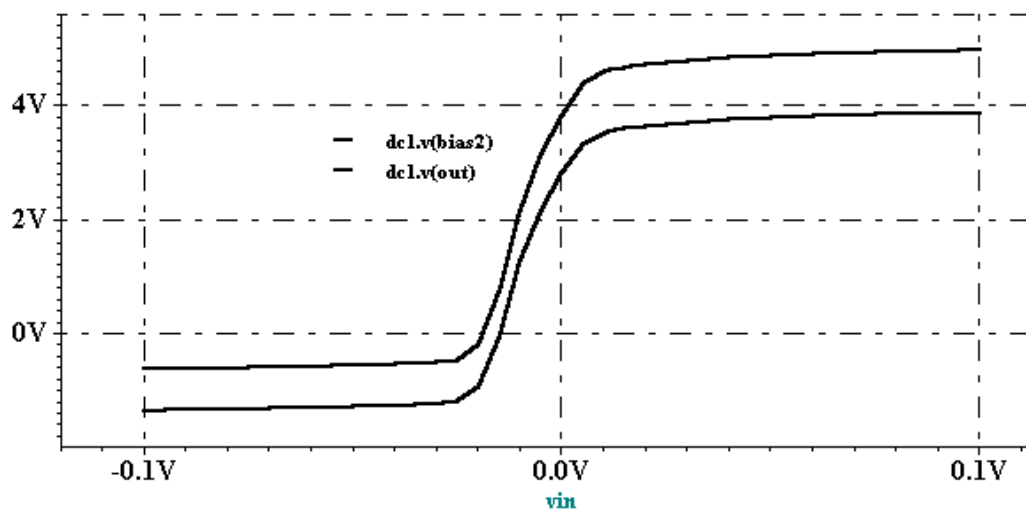


Graafik nr. 11



Graafik nr. 12

Fab2 mudelit kasutades võttis programmil kasutatud netlisti töötlemine võrreldes teiste mudelitega kaua aega ning programm andis ka mõned hoiatused, mis olid suunatud mudelis sisalduvate käskude kohta, nagu näiteks ei saanud programm aru käsust .ENDL TT . Väljastades antud Fab2 mudeli AC ning DC analüüsi graafikud selgus, et AC graafik kattub Fab1 mudeliga saadud AC graafikuga, märkasin ainult ühte erinevust, nimelt algas Fab1 saadud graafik 11-11,9 V pealt, Fab2 saadud graafik seevastu aga 11,9-12,2 V pealt. DC graafik säilitas ka oma sama kuju, mis tal oli olnud kasutades mudelit Fab1, kuid väikesed erinevused olid graafikul olevatel suurustel. (Graafik nr. 13) Näiteks algas Fab1-ga saadud graafik $-0,5$ ja $-2,1$ V pealt, Fab2 saadud graafik aga $-0,3$ ja $-0,7$ V pealt, ning lõppes vastavalt samamoodi suurematel voltidel, kui oli alanudki.



Graafik nr 13.

Antud programmi kokkuvõtteks võib ütelda, et sellel programmil olid kõige laiemad võimalused saadud graafikute töötlemiseks. Näiteks võimaldas programm muuta vajaduse korral karakteristikute jämedust, värvi, tiitlit paigutust mitmete karakteristikute paigutamist ühte graafiku kuvamise aknasse jne.

Skeemiredaktor antud programmil puudus.

Kokkuvõte

Kokkuvõtteks võib ütelda, et etteantud mudeleid Bsim3v3, Fab1, Fab2 ja Level2 tundis ära ja aktsepteeris vaid programm Silvaco Smartspice MT 1.5.15.R ICAP/4.

Programm TopSPICE Win32 demo versioon aktsepteeris mudeleid Bsim3v3, Fab1 ning Level2. Ning mudelit Fab2 ei aktsepteerinud.

Rohkelt probleeme esines programmiga ICAP, mis küll andis hoiatusi mudelit Fab1 kasutades, kuid hoiatused olid tingitud netlistis esinevatest käskudest, mitte “külge haagitud” mudelist.

Kasutades mudelit Level2 programm aktsepteeris.

Praktilisim ning operatiivseim oli ICAP’i help’i süsteem, ning kirjeldatava programmi help’i kasutades on võimalik saada korralik teadmistepagas netlistidest arusaamiseks.

Erinevate netlistide, ning mudelite suhtes oli kõige paindlikum programm SmartSpice.

LISAD**1. Bsim3 model**

```

*Berkeley Spice Compatibility
* Lmin= .35 Lmax= 20 Wmin= .6 Wmax= 20
*model = bsim3v3
* noise parameters added
.model nmos NMOS
+VERSION=3.1
+Level=          49
+Tnom=27.0
+RDC=10 RSC=10
+Nch= 2.498E+17  Tox=9E-09 Xj=1.00000E-07
+Lint=9.36e-8  Wint=1.47e-7
+Vth0= .6322   K1= .756  K2= -3.83e-2  K3= -2.612
+Dvt0= 2.812  Dvt1= 0.462  Dvt2=-9.17e-2
+Nlx= 3.52291E-08  W0= 1.163e-6
+K3b= 2.233
+Vsat= 86301.58  Ua= 6.47e-9  Ub= 4.23e-18  Uc=-4.706281E-11
+Rdsw= 650  U0= 388.3203  wr=1
+A0= .3496967  Ags=.1    B0=0.546    B1= 1
+ Dwg = -6.0E-09  Dwb = -3.56E-09  Prwb = -.213
+Keta=-3.605872E-02  A1= 2.778747E-02  A2= .9
+Voff=-6.735529E-02  NFactor= 1.139926  Cit= 1.622527E-04
+Cdsc=-2.147181E-05
+Cdscb= 0  Dvt0w = 0  Dvt1w = 0  Dvt2w = 0
+ Cdscd = 0  Prwg = 0
+Eta0= 1.0281729E-02  Etab=-5.042203E-03
+Dsub= .31871233
+Pclm= 1.114846  Pdiblc1= 2.45357E-03  Pdiblc2= 6.406289E-03
+Drout= .31871233  Pscbe1= 5000000  Pscbe2= 5E-09  Pdiblc3 = -.234
+Pvag= 0  delta=0.01
+ Wl = 0  Ww = -1.420242E-09  Wwl = 0
+ Wln = 0  Wwn = .2613948  Ll = 1.300902E-10
+ Lw = 0  Lwl = 0  Lln = .316394
+ Lwn = 0
+kt1=-.3  kt2=-.051
+At= 22400
+Ute=-1.48
+Ua1= 3.31E-10  Ub1= 2.61E-19  Uc1= -3.42e-10
+Kt11=0  Prt=764.3
*      *** Noise effect related model parameters - RS added ***
+NLEV=2  AF      =0.7808e+00      KF      =1.360e-24      NOIMOD  =1
*
.model pmos PMOS
+Level=          49
+Tnom=27.0
+RDC=30 RSC=30
+Nch= 3.533024E+17  Tox=9E-09 Xj=1.00000E-07
+Lint=6.23e-8  Wint=1.22e-7
+Vth0=-.6732829  K1= .8362093  K2=-8.606622E-02  K3= 1.82
+Dvt0= 1.903801  Dvt1= .5333922  Dvt2=-.1862677
+Nlx= 1.28e-8  W0= 2.1e-6
+K3b= -0.24  Prwg=-0.001  Prwb=-0.323
+Vsat= 103503.2  Ua= 1.39995E-09  Ub= 1.e-19  Uc=-2.73e-11
+ Rdsw= 460  U0= 138.7609
+A0= .4716551  Ags=0.12
+Keta=-1.871516E-03  A1= .3417965  A2= 0.83
+Voff=-.074182  NFactor= 1.54389  Cit=-1.015667E-03
+Cdsc= 8.937517E-04

```

```

+Cdsccb= 1.45e-4 Cdscc=1.04e-4
+ Dvt0w=0.232 Dvt1w=4.5e6 Dvt2w=-0.0023
+Eta0= 6.024776E-02 Etab=-4.64593E-03
+Dsub= .23222404
+Pclm= .989 Pdiblc1= 2.07418E-02 Pdiblc2= 1.33813E-3
+Drout= .3222404 Pscbe1= 118000 Pscbe2= 1E-09
+Pvag= 0
+kt1= -0.25 kt2= -0.032 prt=64.5
+At= 33000
+Ute= -1.5
+Ua1= 4.312e-9 Ub1= 6.65e-19 Uc1= 0
+Kt1l=0
*      *** Noise effect related model parameters - RS added ***
+NLEV=2 AF      =0.7808e+00      KF      =1.360e-24      NOIMOD =1

```

2. Fab1 model

```

.MODEL NMOS NMOS LEVEL=49
*
* format      : HSPICE
* model       : MOS BSIM3v3
*
*      *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
*      *** Threshold voltage related model parameters ***
+K1      =9.846e-01
+K2      =-1.00e-01 K3      =1.129e+00 K3B      =0.000e+00
+NCH     =6.900e+16 VTH0    =7.979e-01
+VOFF    =-9.30e-02 DVT0    =2.727e+00 DVT1     =8.001e-01
+DVT2    =-2.07e-01 KETA    =-1.40e-02
+PSCBE1  =4.000e+08 PSCBE2  =1.000e-05
+DVT0W   =0.000e+00 DVT1W   =0.000e+00 DVT2W   =0.000e+00
*      *** Mobility related model parameters ***
+UA      =1.000e-12 UB      =1.427e-18 UC      =0.000e+00
+U0      =4.185e+02
*      *** Subthreshold related parameters ***
+DSUB    =5.000e-01 ETA0    =2.342e-02 ETAB     =-2.87e-02
+NFACTOR =8.719e-01
*      *** Saturation related parameters ***
+EM      =4.100e+07 PCLM    =1.146e+00
+PDIBLC1 =4.603e-02 PDIBLC2 =1.460e-03 DROUT    =5.000e-01
+A0      =8.962e-01 A1      =0.000e+00 A2      =1.000e+00
+PVAG    =0.000e+00 VSAT    =8.577e+04 AGS      =1.427e-01
+B0      =1.551e-07 B1      =0.000e+00 DELTA    =1.000e-02
+PDIBLCB =1.441e-01
*      *** Geometry modulation related parameters ***
+W0      =2.110e-06 DLC      =1.535e-07
+DWC     =4.312e-08 DWB      =0.000e+00 DWG      =0.000e+00
+LL      =0.000e+00 LW       =0.000e+00 LWL      =0.000e+00
+LLN     =1.000e+00 LWN      =1.000e+00 WL       =0.000e+00
+WW      =0.000e+00 WWL      =0.000e+00 WLN      =1.000e+00
+WWN     =1.000e+00
*      *** Temperature effect parameters ***
+AT      =3.300e+04 UTE      =-1.77e+00
+KT1     =-4.08e-01 KT2      =2.200e-02 KT1L     =0.000e+00
+UA1     =0.000e+00 UB1      =0.000e+00 UC1      =0.000e+00
+PRT     =0.000e+00
*      *** Overlap capacitance related and dynamic model parameters
***

```

```

+CGDO =3.500e-10 CGSO =3.500e-10 CGBO =1.500e-10
+CGDL =0.000e+00 CGSL =0.000e+00 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
* *** Parasitic resistance and capacitance related model
parameters ***
+RDSW =1.062e+03
+CDSC =0.000e+00 CDSCB =1.500e-05 CDSCD =1.000e-05
+PRWB =8.761e-02 PRWG =4.318e-02 CIT =0.000e+00
* *** Process and parameters extraction related model
parameters ***
+TOX =1.552e-08 NGATE =0.000e+00
+NLX =1.000e-10
+XL =-5.00e-08 XW =-5.00e-07
* *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
* *** Noise effect related model parameters ***
+AF =1.754e+00 KF =9.190e-26 EF =1.000e+00
+NOIA =1.000e+20 NOIB =5.000e+04 NOIC =-1.40e-12
+NLEV =0
* *** Common extrinsic model parameters ***
+ACM =2
+RD =0.000e+00 RS =0.000e+00 RSH =2.400e+01
+RDC =0.000e+00 RSC =0.000e+00
+LINT =1.535e-07 WINT =4.312e-08
+LDIF =0.000e+00 HDIF =1.300e-06 WMLT =1.000e+00
+LMLT =1.000e+00 XJ =3.000e-07
+JS =1.000e-05 JSW =0.000e+00 IS =0.000e+00
+N =1.000e+00 NDS =1000. VNDS =-1.000e+00
+CBD =0.000e+00 CBS =0.000e+00 CJ =3.600e-04
+CJSW =2.500e-10 FC =0.000e+00
+MJ =4.300e-01 MJSW =1.900e-01 TT =0.000e+00
+PB =9.600e-01 PHP =9.400e-01
* -----
---
*
*
.MODEL PMOS PMOS LEVEL=49
* format : HSPICE
* model : MOS BSIM3v3
*
* *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
* *** Threshold voltage related model parameters ***
+K1 =4.801e-01
+K2 =-1.29e-02 K3 =0.000e+00 K3B =0.000e+00
+NCH =3.447e+16 VTH0 =-8.41e-01
+VOFF =-9.01e-02 DVT0 =1.560e+00 DVT1 =6.649e-01
+DVT2 =-1.17e-01 KETA =8.814e-03
+PSCBE1 =1.000e+08 PSCBE2 =4.359e-08
+DVT0W =0.000e+00 DVT1W =0.000e+00 DVT2W =0.000e+00
* *** Mobility related model parameters ***
+UA =5.893e-11 UB =1.705e-18 UC =-6.54e-11
+U0 =1.513e+02
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =6.009e-02 ETAB =-1.49e-02
+NFACTOR=4.867e-01
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =2.138e+00
+PDIBLC1=2.283e-02 PDIBLC2=1.628e-03 DROUT =5.000e-01
+A0 =6.480e-01 A1 =0.000e+00 A2 =1.000e+00

```



```

+PVAG =0.000e+00 VSAT =7.564e+04 AGS =9.162e-02
+B0 =1.297e-07 B1 =0.000e+00 DELTA =1.000e-02
+PDIBLCB=4.056e-01
* *** Geometry modulation related parameters ***
+W0 =1.000e-07 DLC =1.189e-07
+DWC =7.717e-08 DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =0.000e+00 WWL =0.000e+00 WLN =1.000e+00
+WWN =1.000e+00
* *** Temperature effect parameters ***
+AT =3.300e+04 UTE =-1.46e+00
+KT1 =-5.79e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
* *** Overlap capacitance related and dynamic model parameters
***
+CGDO =3.500e-10 CGSO =3.500e-10 CGBO =1.500e-10
+CGDL =0.000e+00 CGSL =0.000e+00 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
* *** Parasitic resistance and capacitance related model
parameters ***
+RDSW =3.755e+03
+CDSC =0.000e+00 CDSCB =1.000e-05 CDSCD =1.970e-04
+PRWB =0.000e+00 PRWG =0.000e+00 CIT =0.000e+00
* *** Process and parameters extraction related model
parameters ***
+TOX =1.552e-08 NGATE =0.000e+00
+NLX =4.438e-08
+XL =-5.00e-08 XW =-5.00e-07
* *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
* *** Noise effect related model parameters ***
+AF =1.410e+00 KF =1.557e-28 EF =1.000e+00
+NOIA =1.000e+20 NOIB =5.000e+04 NOIC =-1.40e-12
+NLEV =0
* *** Common extrinsic model parameters ***
+ACM =2
+RD =0.000e+00 RS =0.000e+00 RSH =4.400e+01
+RDC =0.000e+00 RSC =0.000e+00
+LINT =1.189e-07 WINT =7.717e-08
+LDIF =0.000e+00 HDIF =1.300e-06 WMLT =1.000e+00
+LMLT =1.000e+00 XJ =3.000e-07
+JS =2.000e-05 JSW =0.000e+00 IS =0.000e+00
+N =1.000e+00 NDS =1000. VNDS =-1.000e+00
+CBD =0.000e+00 CBS =0.000e+00 CJ =4.700e-04
+CJSW =2.200e-10 FC =0.000e+00
+MJ =5.300e-01 MJSW =2.000e-01 TT =0.000e+00
+PB =9.700e-01 PHP =9.400e-01
* -----
---
```

3. Fab2 mudel

Antud Fab2 mudel on üle 20 lehekülje pikk ja püüdes tööd informatsiooniga mitte üle koormata, ei lisa seda Fab2 mudelit siia tööse. Huvi korral võite vaadata seda mudelit internetist aadressilt <http://www.va.ttu.ee/~rrait/fab2.htm>

4. Level2 mudel

```

*
.MODEL NMOS NMOS LEVEL=2
+VTO=+0.92          TOX=5.0E-8          LD=3.2E-7
+XJ=5.0E-7          NFS=2.54E11         UO=600          VMAX=4.0E+5
+UCRIT=1.2E+5       UEXP=0.15          NEFF=2.0        PB=0.94
+NSUB=1.05E16       DELTA=0.1           CGSO=0.115E-9   CGDO=0.115E-9
+CGBO=0.15E-9      CJSW=0.3E-9        MJSW=0.33       CJ=0.32E-3
+MJ=0.5
*JS=1E-8
*+XQC=1.0
+RSH=24
*
*
.MODEL PMOS PMOS LEVEL=2
+VTO=-0.94          TOX=5.0E-8          LD=3.2E-7
+XJ=5.0E-7          NFS=3.18E11         UO=200          VMAX=0
+UCRIT=1E+5         UEXP=0.2           NEFF=0          PB=0.89
+NSUB=3.43E15       DELTA=0.1           CGSO=0.115E-9   CGDO=0.115E-9
+CGBO=0.15E-9      CJSW=0.2E-9        MJSW=0.33       CJ=0.32E-3
+MJ=0.5
*JS=1E-8
*+XQC=1.0
+RSH=53
*
*

```

5. Netlist ICAP-iga simuleerimiseks

```

.inc C:/TTY/Kompleksprojekt/Bsim3v3.1
Vin IN 0 0 AC 0.1
E1 in2 0 IN 0 -1
M1 bias1 IN cm cm NMOS W=10u L=1u
M2 bias2 in2 cm cm NMOS W=10u L=1u
M3 bias1 bias1 VDD VDD PMOS W=2u L=1u
M4 bias2 bias1 VDD VDD PMOS W=2u L=1u
M5 cm bias VSS VSS NMOS W=2u L=1u
M6 OUT bias VSS VSS NMOS W=2u L=1u
M7 VDD bias2 OUT OUT NMOS W=2u L=1u
M8 bias bias VSS VSS NMOS W=2u L=1u
R1 0 bias 195K
CFB bias2 OUT 2pF
* Power rail voltage sources
VDD VDD 0 5V
VSS VSS 0 -5V

.OP
.DC VIN -0.1 0.1 0.005
.AC DEC 10 100 1E+08
.NOISE OUT VIN 20
.PRINT DC V(OUT)
.PRINT AC VDB(BIAS2) VDB(OUT)
.PRINT NOISE INOISE ONOISE
.END

```

6. Bsim 3 mudeliga saadud veateated simuleerides programmiga ICAP

```

Located file: C:\Koplproj\spice8d\is\CML.DLL
Located file: C:\Koplproj\spice8d\is\mech.dll
Located file: C:\Koplproj\spice8d\is\REAL.DLL
  Error on line 2 : .model nmos nmos version=3.1 level=
49 tnom=27.0 rdc=10 rsc=10 nch= 2.498e+17 tox=9e-09
xj=1.00000e-07 lint=9.36e-8 wint=1.47e-7 vth0= .6322 k1=
.756 k2= -3.83e-2 k3= -2.612 dvt0= 2.812 dvt1= 0.462
dvt2=-9.17e-2 nlx= 3.52291e-08 w0= 1.1631ö^
unrecognized parameter (version) - ignored
unrecognized parameter (3.1) - ignored

...

unrecognized parameter (764.3) - ignored

Error on line 39 : .model pmos pmos level=          49
tnom=27.0 rdc=30 rsc=30 nch= 3.533024e+17 tox=9e-09
xj=1.00000e-07 lint=6.23e-8 wint=1.22e-7 vth0=-.6732829 k1=
.8362093 k2=-8.606622e-02 k3= 1.82 dvt0= 1.903801 dvt1=
.5333922 dvt2=-.1862677 nlx= 1.28e-8 w0= 2.1elö^
unrecognized parameter (tnom) - ignored
unrecognized parameter (27.0) - ignored

...

unrecognized parameter (0) - ignored

```

7. Fab1 mudeliga saadud veateated simuleerides programmiga ICAP

```

Located file: C:\Koplproj\spice8d\is\CML.DLL
Located file: C:\Koplproj\spice8d\is\mech.dll
Located file: C:\Koplproj\spice8d\is\REAL.DLL

----- A.C. Small signal analysis -----
      Warning: No data to view
Warning: Gmin stepping failed
Warning: source stepping failed
doAnalyses: Too many iterations without convergence

run simulation aborted

----- Output -----

```



```
+ PS=11.6u
MM12 N3 PD VSS VSS NMOS L=4U W=3U AD=8.4p AS=8.4p PD=11.6u
PS=11.6u
CC2 N5 OUT caedpc 1.2p
.ENDS
Xotalial BIAS AGND AGNDI AGND PD PDN otaia
.inc C:/TTY/Kompleksprojekt/Bsim3v3.1
.MODEL caedpc CAP
.end
```

10. Testimiseks antud netlisti (Lisad punkt 9) skeem

